L-Edit 進階

Tanner 產品特色

- 支援類比/混合信號及微機電領域的 IC 佈局及驗證
- 提供 C/TCL 兩種語言的可程式化的佈局環境
- T-Cell 提供參數化單元 (Parameterized Cell)的建立
- 對應操作（Cross Probing）：自動對應電路圖(Schematic)及佈局圖(Layout)
- 標準元件庫繞線工具(Standard Cell Place & Route)
- Schematic Driven Layout
  - ◆ 自動產生飛線(Flyline)
  - ◆ 自動繞線工具（SDL Router）
- LVL (Layout vs. Layout) 佈局差異性比對
- 互動式 DRC（Interactive DRC）於 Layout 過程中檢查是否違反設計規範
- 提供標準的實體驗證工具，DRC/LVS/PX (2D/3D Parasitics Extraction)
- 支援 Third-party Tools：
  - ◆Virtuoso®/Laker® 佈局軟體之 Technology file 及 Display file
  - ◆Calibre® /Dracula®/Assura® DRC Command files
  - ◆EVI 介面直接支援 Calibre®驗證及 RVE 除錯環境
- Linux®及 Windows® 雙設計平台，檔案彼此相容
- 支援將 DXF/Gerber 檔轉換成 GDSII 或 GDSII 轉換成 DXF/Gerber 檔

課程目標

此門課程著重於 L-Edit 之進階應用，學員藉由參與此項課程將可熟悉類比電路設計的進階功能，如：自動產生 Via 及 Guard Ring、以電路導向方式來進行半自動佈局、瞭解 PDK 的內容及運用方式及設定標準 DRC 功能檢查佈局之正確性。

課程內容

- 跨層自動產生 Via、Contact 功能之設定及使用
- 保護圈（Guard Ring）自動產生器設定及使用
- 電路導向佈局（Schematic Driven Layout, SDL）設定及使用
  - Node Highlight 說明
  - SDL Navigator 介紹
- 製程設計套件（Process Design Kit, PDK）
  - Tanner Process Design Kit 之內容及說明
  - Technology File、Display File 說明
- Standard DRC（Design Rule Check）設定及使用
  - Error Navigator 介紹
  - Spacing、Width、Surround、Extension、Overlap 等功能之設定及使用

建議學員背景

熟悉 L-Edit 使用者，希望進一步提昇類比晶片之設計效率者，需有晶片設計經驗

上課地點：

恆逸資訊新竹教育訓練中心

地址： 新竹市光復路二段 265 號 3 樓

電話：（03）572-3322

傳真：（03）574-5738