

## HiPer Verify

### HiPer Verify 產品特色

- 支援類比/混合信號及微機電領域的 DRC/LVS/Parasitic Extraction
- 高性能、階層式的資料庫設計，可以支援深次微米設計
- 全新 64 位元引擎，可以支援更高容量之設計
- 內建 Error Navigator，可自動標示並導向到 Error 發生位置
- 支援背景執行，可同時進行佈局修正
- 支援弧線、任意角度之設計
- 支援先進製程規則，如：Density Check, Antenna Rule Check
- 支援階層式 SPICE Netlist 萃取
- 對於特殊元件或是 Function Block，可以自訂萃取方式
- 支援 Third-party Tools：
  - ◆ 可輸出相容格式之 Error Report 至 Laker®
  - ◆ 直接支援 Calibre® /Dracula®/ Assura® DRC Command files
  - ◆ EVI 介面直接支援 Calibre®驗證及 RVE 除錯環境
- Linux®及 Windows® 雙設計平台，檔案彼此相容

### 課程目標

此門課程著重於設計規則檢查，學員藉由參與此項課程將可熟悉 HiPer Verify DRC 的進階功能，透過實例，瞭解 DRC 命令內容，並熟悉 Rule Deck 的撰寫方式。

### 課程內容

- DRC (Design Rule Check) 設定及使用
  - Error Navigator 介紹
  - Error Navigator 之相關設定
- Rule Deck 的基本結構與環境設定
- Drawn Layer 與連接關係定義
- Boolean 功能與 Utility Layer
- Polygon 增大 (Size) 操作
- Polygon 選取 (Selection) 操作
- Polygon 面積 (Area) 操作
- Polygon 邊緣 (Edge) 操作
- 邊緣選取操作
- 尺寸檢查操作

### 建議學員背景

需要進行設計規則檢查並進一步進行設計規則開發者

### 上課地點：

自強工業科學基金會  
地址：新竹市光復路二段  
101 號研發大樓  
電話：(03)5735521

